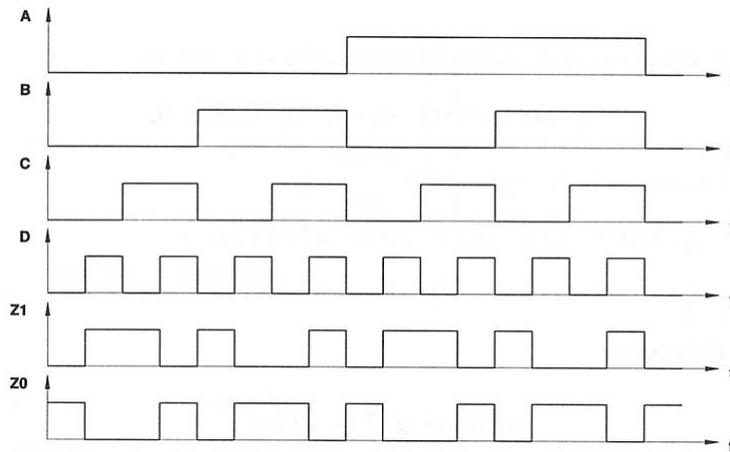


1. Realizar la síntesis del circuito lógico que cumpla las especificaciones dadas en el diagrama de tiempos.
  - a. Utilizando un decodificador BCD/Decimal del tipo 7442.
  - b. Utilizando un multiplexor de ocho canales del tipo 74151.



### Solución

En primer lugar se obtiene la tabla de verdad:

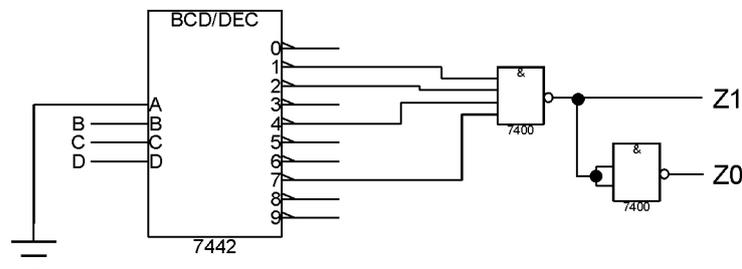
|    | A | B | C | D | Z1 | Z0 |
|----|---|---|---|---|----|----|
| 0  | 0 | 0 | 0 | 0 | 0  | 1  |
| 1  | 0 | 0 | 0 | 1 | 1  | 0  |
| 2  | 0 | 0 | 1 | 0 | 1  | 0  |
| 3  | 0 | 0 | 1 | 1 | 0  | 1  |
| 4  | 0 | 1 | 0 | 0 | 1  | 0  |
| 5  | 0 | 1 | 0 | 1 | 0  | 1  |
| 6  | 0 | 1 | 1 | 0 | 0  | 1  |
| 7  | 0 | 1 | 1 | 1 | 1  | 0  |
| 8  | 1 | 0 | 0 | 0 | 0  | 1  |
| 9  | 1 | 0 | 0 | 1 | 1  | 0  |
| 10 | 1 | 0 | 1 | 0 | 1  | 0  |
| 11 | 1 | 0 | 1 | 1 | 0  | 1  |
| 12 | 1 | 1 | 0 | 0 | 1  | 0  |
| 13 | 1 | 1 | 0 | 1 | 0  | 1  |
| 14 | 1 | 1 | 1 | 0 | 0  | 1  |
| 15 | 1 | 1 | 1 | 1 | 1  | 0  |

$$Z_1 = \sum_4 m(1,2,4,7,9,10,12,15)$$

$$Z_0 = \overline{Z_1}$$

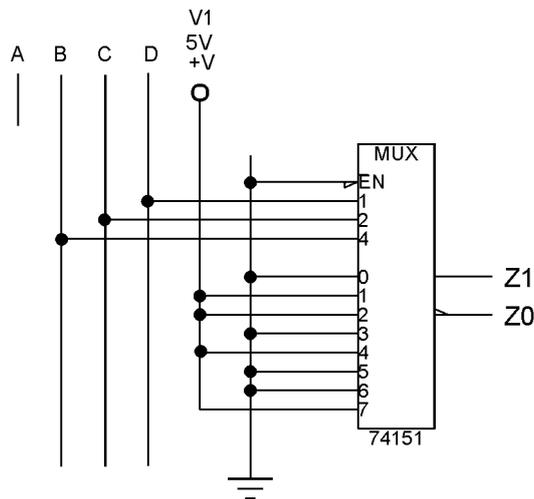
- a. Observando la tabla de verdad se ve que  $Z_1$  no depende directamente de A; por lo que se conecta el bit más significativo de entrada a "0". Como el decodificador 7442 es de lógica negativa  $\Rightarrow Q_1 = \overline{m_1} = M_1$

$$\Rightarrow Z_1 = \sum_3 m(1,2,4,7) = m_1 + m_2 + m_4 + m_7 = \overline{\overline{m_1} \cdot \overline{m_2} \cdot \overline{m_4} \cdot \overline{m_7}}$$

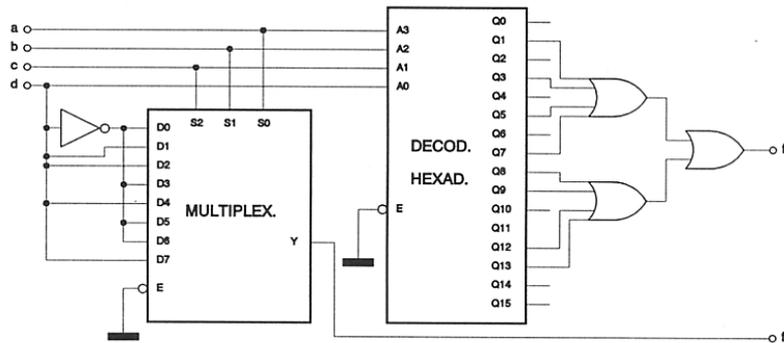


- b. El MUX 74151 es un MUX de 8 a 1 con lo que la tabla de residuos será:

| BCD | 10  | 11  | 12  | 13  | 14  | 15  | 16  | 17  |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| A   | 000 | 001 | 010 | 011 | 100 | 101 | 110 | 111 |
| 0   | 0   | 1   | 1   | 0   | 1   | 0   | 0   | 1   |
| 1   | 0   | 1   | 1   | 0   | 1   | 0   | 0   | 1   |
|     | 0   | 1   | 1   | 0   | 1   | 0   | 0   | 1   |



2. Para el circuito de la figura, formado por un decodificador hexadecimal y un multiplexor de 8 canales, se pide:
- Deducir la tabla de verdad del sistema.
  - Utilizando un decodificador BCD/Decimal del tipo 7442.
  - Utilizando un multiplexor de ocho canales del tipo 74151.



**Solución**

**a. Tabla de verdad**

|    | a | b | c | d | f1 | f0 |
|----|---|---|---|---|----|----|
| 0  | 0 | 0 | 0 | 0 | 0  | 1  |
| 1  | 0 | 0 | 0 | 1 | 1  | 0  |
| 2  | 0 | 0 | 1 | 0 | 0  | 0  |
| 3  | 0 | 0 | 1 | 1 | 1  | 1  |
| 4  | 0 | 1 | 0 | 0 | 0  | 0  |
| 5  | 0 | 1 | 0 | 1 | 1  | 1  |
| 6  | 0 | 1 | 1 | 0 | 0  | 1  |
| 7  | 0 | 1 | 1 | 1 | 1  | 0  |
| 8  | 1 | 0 | 0 | 0 | 1  | 0  |
| 9  | 1 | 0 | 0 | 1 | 1  | 1  |
| 10 | 1 | 0 | 1 | 0 | 0  | 1  |
| 11 | 1 | 0 | 1 | 1 | 0  | 0  |
| 12 | 1 | 1 | 0 | 0 | 1  | 1  |
| 13 | 1 | 1 | 0 | 1 | 1  | 0  |
| 14 | 1 | 1 | 1 | 0 | 0  | 0  |
| 15 | 1 | 1 | 1 | 1 | 0  | 1  |

$$f_1 = \sum_4 m(1,3,5,7,8,9,12,13)$$

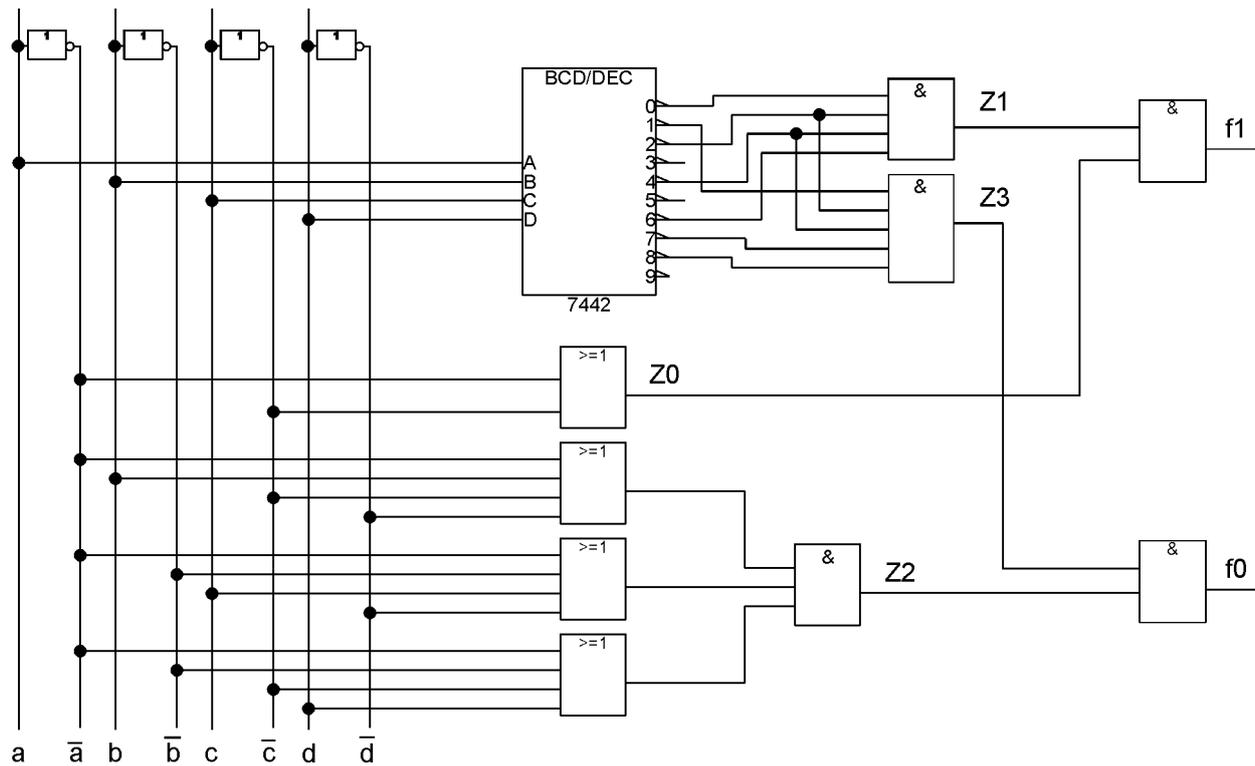
$$f_0 = \sum_4 m(0,3,5,6,9,10,12,15)$$

**b. Implementación empleando el decodificador 7442**

Las salidas del decodificador 7442 son los minterms negados y se cumple:

$$\overline{m_i} = M_i$$

Como el decodificador 7442 sólo tiene 10 salidas se deben subdividir las funciones en dos subfunciones obteniendo el siguiente circuito:



$$f_1 = \sum_4 m(1,3,5,7,8,9,12,13) = \prod_4 M(0,2,4,6,10,11,14,15) = \prod_4 M(0,2,4,6) \cdot \prod_4 M(10,11,14,15) = Z_1 \cdot Z_0$$

$$Z_0 = \prod_4 M(10,11,14,15) = (\bar{a} + b + \bar{c} + d) \cdot (\bar{a} + b + \bar{c} + \bar{d}) \cdot (\bar{a} + \bar{b} + \bar{c} + d) \cdot (\bar{a} + \bar{b} + \bar{c} + \bar{d}) = (\bar{a} + b + \bar{c}) \cdot (\bar{a} + \bar{b} + \bar{c}) = (\bar{a} + \bar{c})$$

$$Z_1 = \prod_4 M(0,2,4,6)$$

$$f_0 = \sum_4 m(0,3,5,6,9,10,11,15) = \prod_4 M(1,2,4,7,8,11,13,14) = \prod_4 M(1,2,4,7,8) \cdot \prod_4 M(11,13,14) = Z_3 \cdot Z_2$$

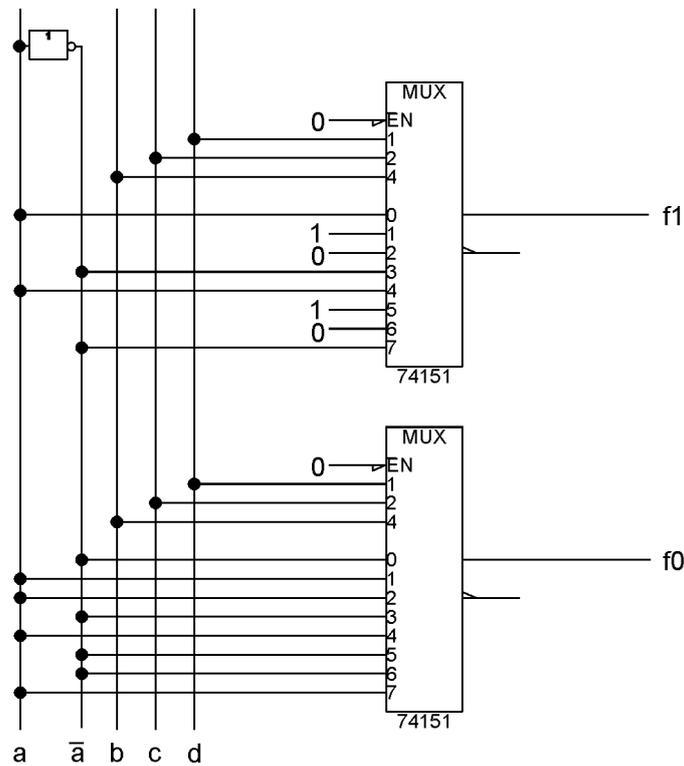
$$Z_2 = \prod_4 M(11,13,14) = (\bar{a} + b + \bar{c} + \bar{d}) \cdot (\bar{a} + \bar{b} + c + \bar{d}) \cdot (\bar{a} + \bar{b} + \bar{c} + d)$$

$$Z_3 = \prod_4 M(1,2,4,7,8)$$

c. Implementación empleando el multiplexor 74151

|     |  | f1        |     |     |           |     |     |     |           |
|-----|--|-----------|-----|-----|-----------|-----|-----|-----|-----------|
| bcd |  | 10        | 11  | 12  | 13        | 14  | 15  | 16  | 17        |
| a   |  | 000       | 001 | 010 | 011       | 100 | 101 | 110 | 111       |
| 0   |  | 0         | 1   | 0   | 1         | 0   | 1   | 0   | 1         |
| 1   |  | 1         | 1   | 0   | 0         | 1   | 1   | 0   | 0         |
|     |  | $\bar{a}$ | 1   | 0   | $\bar{a}$ | a   | 1   | 0   | $\bar{a}$ |

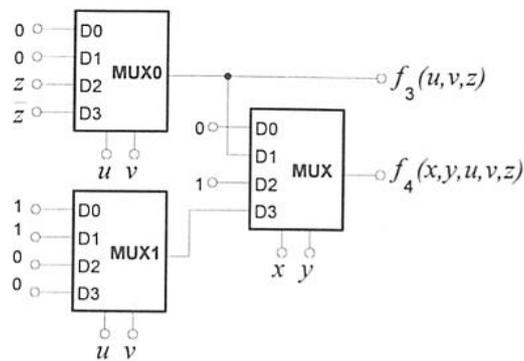
|     |  | f0        |     |     |           |     |           |           |     |
|-----|--|-----------|-----|-----|-----------|-----|-----------|-----------|-----|
| BCD |  | 10        | 11  | 12  | 13        | 14  | 15        | 16        | 17  |
| A   |  | 000       | 001 | 010 | 011       | 100 | 101       | 110       | 111 |
| 0   |  | 1         | 0   | 0   | 1         | 0   | 1         | 1         | 0   |
| 1   |  | 0         | 1   | 1   | 0         | 1   | 0         | 0         | 1   |
|     |  | $\bar{a}$ | a   | a   | $\bar{a}$ | a   | $\bar{a}$ | $\bar{a}$ | a   |



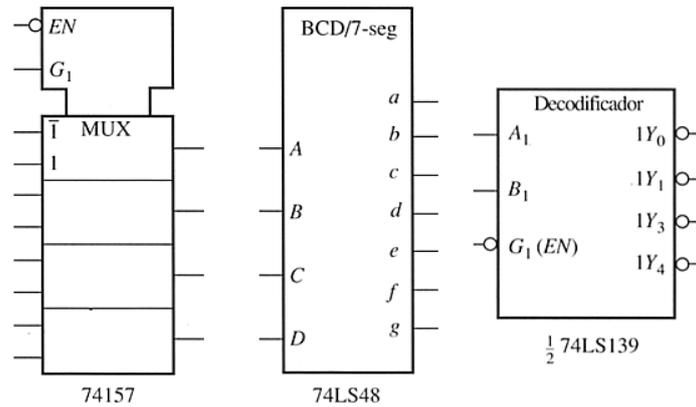
3. Diseñar en dos niveles usando MUX de 4 entradas a una salida la siguiente función lógica:

$$f = x\bar{y}zuv + \bar{x}y\bar{z}u\bar{v} + x\bar{z}(u+v)$$

4. Analizar el circuito de la figura obteniendo los términos que constituyen las funciones  $f_3$  y  $f_4$ .



5. Diseñe un circuito decodificador Decimal / BCD a partir de multiplexores de 2 entradas.
6. Se dispone de decodificadores 2 a 4 con señal de habilitación activa en nivel alto. Diseñe, con las mismas características:
- Un decodificador 1:2.
  - Un decodificador 3:8.
  - Un decodificador 4:16.
7. Utilizando multiplexores de menos entradas de selección que el dado, se pide:
- Implemente un multiplexor 4 a 1 a partir de multiplexores de 2 a 1.
  - Implemente un multiplexor 8 a 1 a partir de multiplexores de 4 a 1.
  - Implemente un multiplexor 16 a 1 a partir de multiplexores de 4 a 1.
8. Diseñe un circuito a partir de los c.i. ofrecidos en la figura, que permita presentar datos de 4 bits en dos displays de 7 segmentos.



9. Sintetizar las siguientes funciones lógicas a partir de una PROM.

$$f_1 = (\bar{x} \cdot y + x \cdot \bar{y}) \cdot z + \bar{z} \cdot (x \cdot y + \bar{x} \cdot \bar{y}) \quad f_2 = \bar{x} + \bar{y} \cdot z + \bar{z} \cdot x$$

$$f_3 = x \cdot \bar{y} + y \cdot \bar{z} + \bar{x} \cdot \bar{y} \cdot \bar{z} + \bar{x} \cdot \bar{y} \cdot z + x \cdot y \cdot z \quad f_4 = (x + y + \bar{z}) + (x + \bar{y} + \bar{z}) + \bar{x} \cdot \bar{y} \cdot z + \bar{x} \cdot y \cdot \bar{z}$$

10. Sintetizar un sumador completo de 1 bit cuyas entradas son A, B,  $C_{i-1}$  y las salidas son  $S_i$  y  $C_i$ .

- Con una PROM.
- Con una PAL.

11. Sintetiza un comparador de 1 bit con una PAL cuyas entradas son A y B y las salidas son  $C_i (A_i > B_i)$  y  $E_i (A_i = B_i)$ .

12. Sintetice los siguientes convertidores de código con lógica programable:

- Convertor BCD / Decimal con una PROM.
- Convertor Decimal / BCD con una PLA.

13. Diseñar un decodificador de 7 segmentos empleando un PLA.

14. Realice la función  $F = \sum m(1,2,3,4,6,7,8,9,14)$ , mediante la PAL de la figura.

